

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 12 月 24 日 (24.12.2003)

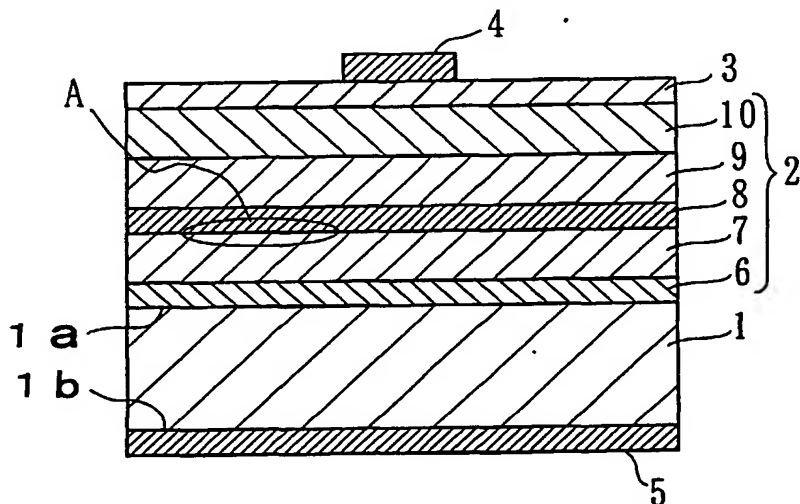
PCT

(10) 国際公開番号
WO 03/107428 A1

- (51) 国際特許分類⁷: H01L 29/22, 33/00, 21/363, 21/365, C23C 14/08 京都府 長岡京市 天神2丁目26番10号 株式会社 村田製作所内 Kyoto (JP).
- (21) 国際出願番号: PCT/JP03/07055
- (22) 国際出願日: 2003 年 6 月 4 日 (04.06.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2002-172301 2002 年 6 月 13 日 (13.06.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社 村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒617-8555 京都府 長岡京市 天神2丁目 26番10号 Kyoto (JP).
- (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告書
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

(54) 発明の名称: 半導体デバイス及び該半導体デバイスの製造方法



(57) Abstract: A semiconductor device exhibiting excellent crystallinity and good electrical characteristics and having a ZnO thin film exhibiting excellent surface smoothness, fabricated by forming ZnO based thin films (an n-type clad layer (6), an n-type clad layer (7), an active layer (8), a p-type clad layer (9), and a p-type contact layer (10)) principally comprising ZnO sequentially on the zinc polarity face (1a) of a ZnO substrate (1) by ECR sputtering, or the like, forming a transparent electrode (3) and a p-side electrode (4) on the surface of the p-type contact layer (10) by vacuum evaporation, or the like, and forming an n-side electrode (5) on the oxygen polarity face (1b) of the ZnO substrate (1).

(57) 要約: 表面平滑性に優れた ZnO 薄膜を有し、結晶性に優れ、良好な電気特性を有する半導体デバイスを得るため、ZnO 基板 1 の亜鉛極性面 1a 上に ZnO を主成分とする ZnO 系薄膜 (n 形コンタクト層 6、n 形クラッド層 7、活性層 8、p 形クラッド層 9、p 形コンタクト層 10) を ECR スパッタ法等で順次成膜し、真空蒸着法等により p 形コンタクト層 10 の表面に透明電極 3 及び p 側電極 4 を形成し、また、ZnO 基板 1 の酸素極性面 1b 上に n 側電極 5 を形成する。

明 細 書

半導体デバイス及び該半導体デバイスの製造方法

5 技術分野

本発明は半導体デバイス及び該半導体デバイスの製造方法に関し、より詳しくは半導体材料として酸化亜鉛を使用した半導体デバイス及び該半導体デバイスの製造方法に関する。

背景技術

10 II-VI 族化合物半導体の一種である酸化亜鉛 (ZnO) は、 MgO や CdO 等との混晶化によってバンドギャップエネルギーを変化させることができ、量子井戸等の多層構造が可能であり、さらには励起子の結合エネルギーが非常に大きいことから、発光素子への応用が期待されており、また、可視領域で透明であることから液晶ディスプレイ駆動用の透明薄膜トランジスタへの応用が期待されている。

15 ところで、 ZnO はウルツ鉱型の結晶構造 (六方晶) を有しており、第 9 図に示すように、 c 軸方向 (上下方向) に対称中心を有さず、分子構造上極性を有している。

すなわち、 ZnO は、第 9 図 (a) に示すように、 Zn 原子 51 に結合している 3 本の結合子が下方を向き、酸素原子 52 に結合している 3 本の結合子が上方を向いている亜鉛極性 ($+c$ 極性) と、第 9 図 (b) に示すように、 Zn 原子 51 に結合している 3 本の結合子が上方を向き、酸素原子 52 に結合している 3 本の結合子が下方を向いている酸素極性 ($-c$ 極性) とを有している。

20

ここで、上記極性とは、上記結合子の向きを示しており、表面終端元素のことではない。

そして、従来より、PMBE (plasma-assisted molecular-beam epitaxy ; プラズマアシスト分子線エピタキシ) 法により、サファイア基板上に酸素極性を有する ZnO 薄膜を成膜することのできるものが既に報告されている (APPLIED PHYSICS LETTERS Vol. 80 No. 8 pp. 1358 - 1360 (2002) ; 以下、「第 1 の従来技術」という)。

25

また、サファイア基板上に GaN 極性を有する GaN を成膜し、成膜条件を制御することにより前記 GaN 上に亜鉛極性又は酸素極性を有する ZnO 薄膜を成膜することのできることも報告されている (APPLIED PHYSICS LETTERS Vol. 77 No. 22 pp. 3571 - 3573 (2000) ; 以下、「第 2 の従来技術」という)。

30

また、その他の従来技術として、基板上に形成される ZnO 等の圧電膜の極性を規定することのできる技術が既に提案されている (特開 2001-144328 号公報 ; 以下、「第 3 の従来技術」という)。

該第3の従来技術では、基板の種類に応じて十面（亜鉛極性）又は一面（酸素極性）を有する圧電膜（ZnO膜）の形成が可能であり、また、基板加熱温度等の成膜条件を変えることにより、基板上に形成されるZnO等の圧電膜の極性を制御している。

しかしながら、上記第1の従来技術では、サファイア基板上に形成されるZnO薄膜は、
5 同軸型直衝突イオン散乱分光法(Coaxial Impact Collision Ion Scattering Spectroscopy ; CAICISS)により酸素極性を有することが確認されているが、斯かるZnO薄膜には略六角形状の結晶粒が残留し、表面形状が凹凸状となるため、所望の表面平滑性を有するZnO薄膜を得ることができない。

すなわち、第1の従来技術で形成されたZnO薄膜の表面形状は平滑性に欠けるため、
10 該ZnO薄膜を使用して半導体デバイスを製造した場合、結晶粒界を介して電流が流れたり、結晶粒の凸部分で電界集中が生じ、このためデバイス動作が不安定化したり破壊する虞がある。

また、第2の従来技術によれば、成膜条件を変えることにより、ZnO薄膜の極性を制御することができ、これにより、GaN上に亜鉛極性又は酸素極性を有するZnO薄膜を
15 形成することができるが、GaN上にZnOを成膜する際に基板温度が昇温するため、GaNの構成元素であるGaがZnO薄膜へ拡散する虞がある。

そして、GaはZnOに対しドナーとして作用するため、GaがZnO薄膜中に拡散するとZnOが低抵抗化する。

しかも、前記拡散を制御することは困難であるため、半導体デバイスのデバイス特性に
20 バラツキの生じる虞がある。

さらに、上記第2の従来技術は、GaNとZnOとで格子不整合が存在するため、斯かる格子不整合を緩和すべく格子欠陥が導入され、その結果ZnO薄膜の結晶性が劣化し電気特性の悪化を招来する。

また、上記第3の従来技術は、亜鉛極性又は酸素極性を有する圧電膜の形成については
25 開示されているが、極性が薄膜の表面形状や電気特性に及ぼす影響については何ら開示されておらず、しかも基板材料が圧電膜材料とが異なるため、第2の従来技術と同様、格子不整合に起因した結晶性の悪化を招来する虞があり、信頼性に優れた所望の良好な電気特性を得ることができないという問題点がある。

本発明はこのような事情に鑑みなされたものであって、表面平滑性に優れたZnO薄膜
30 を具備することにより、結晶性に優れ、良好な電気特性を有する半導体デバイス、及び半導体デバイスの製造方法を提供することを目的とする。

本発明者らは、表面平滑性が良好なZnO薄膜を得るべき鋭意研究した結果、酸化亜鉛を主成分とする単結晶基板の亜鉛極性面上にZnO薄膜を形成することにより、表面平滑性や結晶性に優れ、良好な電気的特性を有する半導体デバイスを得ることができるという知見を得た。

- 5 本発明はこのような知見に基づきなされたものであって、本発明に係る半導体デバイスは、亜鉛極性面と酸素極性面とを有する酸化亜鉛を主成分とする単結晶基板の前記亜鉛極性面上に酸化亜鉛を主成分とする少なくとも1層以上の薄膜が形成されていることを特徴としている。これにより、表面平滑性及び結晶性に優れた薄膜を形成することができる。

10 また、本発明者らは、前記薄膜の極性を調べたところ、亜鉛極性を有することが判明した。

したがって、本発明の半導体デバイスは、前記薄膜は亜鉛極性を有していることを特徴としている。すなわち、ZnO基板の亜鉛極性面上に形成されたZnO系薄膜は亜鉛極性を有していることが分かる。

15 また、本発明の半導体デバイスは、前記薄膜は多層膜からなり、該多層膜は発光層、又はスイッチング部を形成していることを特徴としている。

具体的には、前記薄膜は多層膜からなり、該多層膜は発光層を構成しているので、発光層は表面平滑性及び結晶性に優れ、良好な電気特性を有するLEDやLD等の発光デバイスを得ることができる。

20 また、前記薄膜は多層膜からなり、該多層膜はスイッチング部を構成することにより、活性層に光が照射された場合であっても導電性が変化することを抑制することができ、これによりスイッチング素子の特性劣化を防止することのできるTFET等の半導体デバイスを容易に得ることができる。

25 上記半導体デバイスによれば、表面平滑性や結晶性に優れたZnO系の多層膜を具備しているので、良好な電気特性を有する発光素子や薄膜トランジスタ等の半導体デバイスを容易に得ることができる。

また、本発明に係る半導体デバイスの製造方法は、酸化亜鉛を主成分とする単結晶基板の表面が亜鉛極性面又は酸素極性面のいずれであるかを判別し、酸化亜鉛を主成分とする少なくとも1層以上の薄膜を前記亜鉛極性面上に形成することを特徴とし、また前記薄膜は亜鉛極性を有していることを特徴としている。

30 上記製造方法によれば、酸化亜鉛基板の亜鉛極性面上に容易且つ確実に所望のZnO系薄膜を形成することができる。

すなわち、ZnO基板の表面が亜鉛極性面又は酸素極性面のいずれであるかを判別し、ZnOを主成分とする少なくとも1層以上の薄膜を前記亜鉛極性面上に形成し、また前記

薄膜は亜鉛極性を有しているので、亜鉛極性面上にはZnO系薄膜を容易に形成することができる。

また、本発明の半導体デバイスは、プラズマ生成室と成膜室とを備えたスパッタリング装置を設け、該スパッタリング装置を使用してスパッタリング処理を施し、前記薄膜を形成することを特徴としている。

上記製造方法によれば、スパッタリング処理して成膜することにより、所望の電気的特性を有する半導体デバイスを安価に得ることができ、しかもプラズマ生成室と成膜室とを区分しているため、半導体デバイスがプラズマダメージを受けるのを極力回避することができる。

また、前記スパッタリング処理は、電子サイクロトロン共鳴プラズマスパッタ法、誘導結合形プラズマスパッタ法、ヘリコン波励起プラズマスパッタ法、イオンビームスパッタ法、又はクラスタービームスパッタ法の中から選択されたいずれかの方法で行うのが好ましく、或いは前記薄膜は、分子線エピタキシ法、有機金属化学気相法、レーザ分子線エピタキシ法、又はレーザアブレーション法の中から選択されたいずれかの方法で行うのも好ましい。

図面の簡単な説明

第1図は、本発明に係る半導体デバイスの一実施の形態（第1の実施の形態）の模式断面図である。

第2図は、ZnOの極性特性を示す図である。

第3図は、ZnO基板の亜鉛極性面上に形成されたZnO薄膜の表面形状を模式的に示した断面図である。

第4図は、ZnO基板の亜鉛極性面上に形成されたZnO薄膜の極性特性を示す図である。

第5図は、本発明に係る半導体デバイスの第2の実施の形態を模式断面図である。

第6図は、本発明に係る半導体デバイスの第3の実施の形態を模式断面図である。

第7図は、ZnO基板の亜鉛極性面に形成されたZnO薄膜の表面形状を示す顕微鏡写真である。

第8図は、ZnO基板の酸素極性面に形成されたZnO薄膜の表面形状を示す顕微鏡写真である。

第9図は、ZnOの結晶構造を示す図である。

発明を実施する為の最良の形態

次に、本発明の実施の形態を図面に基づいて詳説する。

第1図は本発明に係る半導体デバイスの一実施の形態（第1の実施の形態）としての発光ダイオード（Light Emitting Diode；以下、「LED」という）の模式断面図である。

同図において、1はn形導電性を有する導電性のZnOを主成分とする単結晶基板（以下、「ZnO基板」という）であって、該ZnO基板1は亜鉛極性面1aと酸素極性面1bとを有している。

そして、該LEDでは、ZnO基板1の亜鉛極性面1a上に発光層2が形成され、該発光層2の表面には酸化インジウムスズ（Indium Tin Oxide；以下、「ITO」という）からなる膜厚約150nmの透明電極3が形成され、さらに該透明電極3の表面略中央部にはNi膜、Al膜、及びAu膜が順次積層された膜厚総計約300nmのp側電極4が形成されている。

また、ZnO基板1の酸素極性面1b上にはTi膜及びAu膜が順次積層された膜厚総計約300nmのn側電極5が形成されている。

上記発光層2は、具体的には、n形コンタクト層6、n形クラッド層7、活性層8、p形クラッド層9、及びp形コンタクト層10が順次積層された多層膜で構成されている。すなわち、活性層8は、n形クラッド層7及びp形クラッド層9に挟持され、また、n形クラッド層7はn形コンタクト層6及びZnO基板1を介してn側電極5に接続され、p形クラッド層9はp形コンタクト層10を介して透明電極3に接続されている。

活性層8は、CdOとZnOとを混晶させた膜厚約200nmの $Cd_xZn_{1-x}O$ （ x は、 $0 \leq x < 1$ で、例えば0.1）で形成されている。

尚、該活性層8は、n形のキャリアである電子とp形のキャリアである正孔との再結合により発光し、発光する光の波長はバンドギャップエネルギーにより決定される。

また、n形クラッド層7及びp形クラッド層9は、キャリアを活性層8内に有効に閉じ込める必要があることから、前記活性層8よりバンドギャップエネルギーが大きく、例えば、MgOとZnOとを混晶させた $Mg_yZn_{1-y}O$ （ y は、 $0 \leq y < 1$ で、例えば0.2）からなり、n形クラッド層7の膜厚は約2000nm、p形クラッド層9の膜厚は約600nmに形成されている。

また、n形コンタクト層6及びp形コンタクト層10は、共に膜厚約200nmのZnOで形成されている。

次に、上記LEDの製造方法を説明する。

まず、SCVT（Seeded Chemical Vapor Transport）法等でZnO単結晶を作製し、ZnO単結晶を結晶軸のc軸方向に垂直な面に切出して鏡面研磨を施し、ZnO基板を作製してその極性を確認する。

ZnOのように圧電性を有する化合物半導体の極性を判別する方法としては、同軸型直衝突イオン散乱分光(CAICISS)法 (APPLIED PHYSICS LETTERS Vol. 72 (1998) p824)、収束電子線回折(CBED)法 (APPLIED PHYSICS LETTERS Vol. 69 (1996) p337)、非線型誘電率顕微鏡(SNDM)法 (先端技術シンポジウム「圧電材料と弾性波デバイス」(2000年2月) pp. 23-30) 等が知られているが、本実施の形態ではSNDM (Scanning Nonlinear Dielectric Microscopy) 法でZnO基板の極性を確認している。

すなわち、SNDMは、ZnO基板1上でプローブ探針を走査させながら電位を印加するとZnO基板1の極性を反映した強度信号を検出する。

一方、印加電位が「0」のときは電位が印加されていないため、極性を反映した強度信号は検出されない。

つまり、SNDM法では、ZnO基板1上に電位を印加すると、印加電位が「0」の場合に比べ、強度信号が+側又は-側に変位することとなる。

したがって、SNDM法では、印加電位が「0」のときの強度を基準信号とし、ZnO基板1上でプローブ探針を走査させながら電位を印加したときの強度信号を極性信号とすることにより、極性信号が基準信号に対して+側に変位するか-側に変位するかでZnO基板の極性を判別することができる。

尚、本実施の形態では、SNDMの構成上、極性信号が基準信号に対し-側に変位したときは+極性(亜鉛極性)を示し、極性信号が基準信号に対し+側に変位したときは-極性(酸素極性)を示すようになっている。

第2図(a)(b)はZnO基板1の極性特性を示す図であって、横軸は走査長(μm)、縦軸は強度(a.u.; 任意単位)を示している。

また、第2図中、矢印X方向がZnO基板1の極性信号を示し、矢印X'方向は電位を印加しなかった場合の基準信号を示している。

そして、第2図(a)に示すように、極性信号が基準信号に比べて-側に変位した場合はZnO基板1の極性面は亜鉛極性面であり、第2図(b)に示すように、極性信号が基準信号に比べて+側に変位した場合はZnO基板1の極性面は酸素極性面であると判別することができる。

次に、上述の如くZnO基板1の極性を判別した後、電子サイクロトロン共鳴(Electron Cyclotron Resonance; 以下、「ECR」という)スパッタ装置を使用し、ZnO基板1の亜鉛極性面1a上にZnO薄膜を積層する。

すなわち、プラズマ生成室と成膜室とに区分されたECRスパッタ装置を準備し、亜鉛極性面1aが上面となるようにZnO基板1を成膜室の所定位置にセッティングし、ZnO基板1を温度300~800℃に加熱する。

次いで、酸素等の反応性ガス及びアルゴン等のプラズマ生成用ガスをプラズマ生成室に供給すると共に、サイクロトロンが共鳴する周波数（2. 45 GHz）でマイクロ波放電を行い、これによりプラズマ生成室でプラズマを生成する。

そしてこの後、スパッタターゲットに高周波電力（例えば、150W）を印加し、プラズマ生成室で生成されたプラズマを使用してターゲット物質（ZnO）をスパッタリングし、反応性スパッタリングによりZnO基板1の表面にZnOからなるn形コンタクト層6を形成する。

次に、MgOとZnOとを所望の混合比にて焼結したターゲットを使用して反応性スパッタリングを行い、 $Mg_y Zn_{1-y} O$ （ $0 \leq y < 1$ ）からなるn形クラッド層7を形成する。

以下、同様にして反応性スパッタリングを施し、順次 $Cd_x Zn_{1-x} O$ （ $0 \leq x < 1$ ）からなる活性層8、 $Mg_y Zn_{1-y} O$ （ $0 \leq y < 1$ ）からなるp形クラッド層9、ZnOからなるp形コンタクト層10を形成する。

尚、各薄膜の膜厚は反応時間を制御することにより所望膜厚に設定される。

次に、真空蒸着法によりZnO基板1の酸素極性面1bの表面にTi膜及びAu膜を順次成膜してn側電極5を形成し、次いで、真空蒸着法によりp形コンタクト層10の表面にITO膜を成膜して透明電極3を形成し、その後、リフトオフ法によりNi、Al、Auを順次積層してp側電極4を形成する。

このように本第1の実施の形態では、ZnO基板1の亜鉛極性面1a上にZnO系の多層膜からなる発光層2を形成しており、これにより、表面平滑性に優れたZnO系薄膜が順次積層され、その結果、n型クラッド層7の表面は、第3図（第1図のA部拡大図）に示すように、平滑なテラス11と直線状のステップ12を有する表面平滑性に優れた薄膜となり、したがって表面に結晶粒や凹凸部が残存することなく、表面平滑性に優れたZnO薄膜を得ることができる。

尚、第3図に示すような平滑性に優れた薄膜は、n型クラッド層7のみではなく、n型コンタクト層6、活性層8、p型クラッド層9、及びp型コンタクト層10でも同様に得ることができる。

そして、このように前記ZnO系薄膜が表面平滑性に優れているため、結晶粒界を介して電流が流れたり、ZnO膜の表面で電界集中が生じることもなく、したがって電子が移動する際に散乱を生じることもなく、電子の移動度も大きく結晶性に優れた電気特性の良好なLEDを得ることができる。

また、上記第1の実施の形態では、ECRスパッタ装置を使用し、スパッタリング処理によりZnO系薄膜を形成しているため、別途に高価な装置を設ける必要もなく、安価に

薄膜形成を行うことができる。

しかも、プラズマ生成室と成膜室とが区分されているので、ZnO薄膜がプラズマダメージを受けるのを極力回避して良質の薄膜を得ることができる。

また、本実施の形態では、更にSNDMを使用しZnO基板1の表面に形成されたZnO薄膜の極性を調べた。

すなわち、SNDMの深さ方向の感度はプローブ探針の針先半径と試料であるZnOの誘電率によって決定されるが、ZnOの場合、プローブ探針の針先半径と同程度の深さのみ感度があるため、前記針先半径を膜厚より小さくすることにより、下地であるZnO基板1の極性とは無関係にZnO薄膜の極性を判別することができる。

第4図はZnO薄膜の極性特性を示す図であって、第2図(a)(b)と同様、横軸は走査長(μm)、縦軸は強度(a.u.)を示し、矢印X方向がZnO基板1の極性信号を示し、矢印X'方向は電位を印加しなかった場合の基準信号を示している。

そして、この第4図から明らかなように、極性信号が基準信号に比べて一側に変位しており、ZnO薄膜は亜鉛極性を有していることが分かる。

すなわち、ZnO基板1の亜鉛極性面上に形成されたZnO系薄膜は亜鉛極性を有していることとなる。

尚、本実施の形態では、発光層2として、p型クラッド層9とn型クラッド層7で活性層8を挟持させたダブルヘテロ構造を使用しているが、pn接合構造、MIS(メタル絶縁層-半導体層)構造、或いはシングルヘテロ構造等を使用してもよい。

第5図は本発明に係る半導体デバイスの第2の実施の形態としてのレーザーダイオード(Laser Diode; 以下、「LD」という)の模式断面図である。

すなわち、該LDは、導電性を有するZnO基板13の亜鉛極性面13a上に発光層14が形成され、該発光層14の表面にはNi膜、Al膜、及びAu膜が順次積層された膜厚総計約300nmのp側電極15が形成されている。

また、ZnO基板13の酸素極性面13b上にはTi膜及びAu膜が順次積層された膜厚総計約300nmのn側電極16が形成されている。

上記発光層14は、具体的には、n形コンタクト層17、n形クラッド層18、n形光ガイド層19、活性層20、p形光ガイド層21、p形クラッド層22、電流制限層23及びp形コンタクト層24が順次積層された多層膜で構成されている。

すなわち、活性層20は、n形ガイド層19及びp形ガイド層21を介して夫々n形クラッド層18及びp形クラッド層22に挟持されている。

また、n形クラッド層18はn形コンタクト層17及びZnO基板13を介してn側電極16と接続され、p形クラッド層22は電流制限層23及びp形コンタクト層24を介

してp側電極15に接続されている。

活性層20は、具体的には、 $MgyZn_{1-y}O$ (y は、 $0 \leq y < 1$ で、例えば、0.1) からなるバリア層と $CdxZn_{1-x}O$ (x は、 $0 \leq x < 1$ で、例えば、0.1) からなるウェル層とをそれぞれ3nmずつ交互に2~5層積層した多重量子井戸構造とされ

5

ている。

そして、活性層20の屈折率がn形クラッド層18及びp形クラッド層22より大きい場合は、活性層20に光を閉じ込めることができるが、活性層20が薄膜であるため十分に光を閉じ込めることができないときは、活性層20からの光の漏出を防止する必要がある、このため光導波路の一部を構成するように活性層20とn形クラッド層18及びp形

10

クラッド層22との間には該クラッド層18、22と活性層20との間の中間の屈折率を有するn形光ガイド層19及びp形光ガイド層21が介装されている。

そして、ZnO基板13の亜鉛極性面13a上にはZnOからなる膜厚約1500nmのn形コンタクト層17が形成され、また、該n形コンタクト層17の表面には $MgyZn_{1-y}O$ (y は、 $0 \leq y < 1$ で、例えば0.2) からなる膜厚約2000nmのn形ク

15

ラッド層18が形成され、さらに、該n形クラッド層18の表面にはZnOからなる膜厚約40nmのn形光ガイド層19が形成されている。

そして、n形光ガイド層19の表面には上記多重井戸型構造の活性層20が積層され、該活性層20の表面には $MgyZn_{1-y}O$ (y は、 $0 \leq y < 1$ で、例えば0.2) からなる膜厚約40nmのp形光ガイド層21が形成され、さらに該p形光ガイド層21の表

20

面には $MgyZn_{1-y}O$ (y は、 $0 \leq y < 1$ で、例えば0.2) からなる膜厚約2000nmのp形クラッド層22が形成されている。

さらに、p形クラッド層22の表面には発振領域にのみ電流を流すべく $MgyZn_{1-y}O$ (y は、 $0 \leq y < 1$ で、例えば0.2) からなる膜厚400nmの電流制限層23が溝部23aを有するように所定形状に形成され、次いで、p形クラッド層22の表面には

25

電流制限層23を覆うように断面T字状にp形コンタクト層24が形成されている。

そして、上記LDも、第1の実施の形態と略同様の方法・手順で製造される。

すなわち、まず、SCVT法等でZnO単結晶を作製し、ZnO単結晶を結晶軸のc軸方向に垂直な面に切出して鏡面研磨を施し、ZnO基板を作製し、その極性をSNDMで確認する。

30

次いで、第1の実施の形態と同様、ECRスパッタ装置を準備し、亜鉛極性面13aが上面となるようにZnO基板13を成膜室の所定位置にセッティングし、ZnO基板1を温度300~800℃に加熱する。

次いで、酸素等の反応性ガス及びアルゴン等のプラズマ生成用ガスをプラズマ生成室に

供給すると共に、マイクロ波放電を行って、プラズマ生成室でプラズマを生成し、ターゲット物質（ZnO）をスパッタリングして反応性スパッタリングにより、ZnO基板13の表面にZnOからなるn形コンタクト層17を形成する。

以下同様にして、ターゲット物質を適宜所望物質に変更しながら順次反応性スパッタリングを施し、n形コンタクト層17、n形クラッド層18、n形光ガイド層19、活性層20、p形光ガイド層21、p形クラッド層22、電流制限層23を順次成膜する。

そして、電流制限層23を形成した後、成膜されたZnO基板13をECRスパッタ装置から一旦取り出し、前記電流制限層23の表面にフォトレジストを塗布し、周知のフォトリソグラフィ技術によってレジスト膜をパターン化し、NaOHなどのアルカリ溶液でエッチング処理を施し、電流制限層23を所定形状に形成する。

次いで、前記ZnO基板13を再びECRスパッタ装置の所定位置に戻し、反応性スパッタリングを行い、断面T字状のZnOからなるp形コンタクト層24を成膜する。

そしてこの後、第1の実施の形態と同様、真空蒸着法によりZnO基板13の酸素極性面13bの表面にTi膜及びAu膜を順次成膜してn側電極16を形成し、次いで、真空蒸着法によりp形コンタクト層24の表面にNi、Al、Auを順次積層してp側電極15を形成する。

このように本第2の実施の形態も、第1の実施の形態と同様、ZnO基板13の亜鉛極性面13a上にZnO系多薄膜からなる発光層14を形成しているので、平滑なテラスと直線状のステップを有するZnO系薄膜を得ることができる。

そして、このように表面平滑性に優れているため、結晶粒界を介して電流が流れたり、ZnO膜の表面で電解集中が生じることもなく、したがって電子が移動する際に散乱を生じることもなく、電子の移動度も大きく結晶性が良好となって電気特性の良好なLDを得ることができる。

さらに、上記第2の実施の形態でも、第1の実施の形態と同様、ECRスパッタ装置を使用してスパッタリング処理によりZnO系薄膜を形成しているので、別途に高価な装置を設ける必要もなく、安価に薄膜形成を行うことができ、また、プラズマ生成室と成膜室とが区分されているので、ZnO薄膜がプラズマダメージを受けるのを極力回避して良質の薄膜を得ることができる。

第6図は本発明に係る半導体デバイスの第3の実施の形態としての薄膜トランジスタ（Thin Film Transistor；以下、「TFT」という）の模式断面図であって、該TFTは、絶縁性のZnO基板25と、該ZnO基板25上の略中央部に形成された膜厚50nmのゲート電極26と、該ゲート電極26を覆うようにZnO基板25上に形成された膜厚200nmのゲート絶縁層27と、該ゲート絶縁層27上に形成された膜厚50nmの活性

層28と、該活性層28の略中央部に形成された膜厚約200nmのチャネル保護層29と、該チャネル保護層29の一部を覆うように形成された膜厚約200nmのソース電極30及びドレイン電極31とから構成されている。

そして、上記TFTでは、ZnO基板25以外の構成要素、すなわち、ゲート電極26、
5 ゲート絶縁層27、活性層28、チャネル保護層29、ソース電極30及びドレイン電極31とでスイッチング部を構成し、これらスイッチング部はZnO基板25の亜鉛極性面25a上に形成されている。

そして、ゲート電極26、ソース電極30、及びドレイン電極31は、GaをZnOに
10 ドープすることにより低抵抗化されており、またゲート絶縁層27及びチャネル保護層29はNiをZnOにドープすることにより高抵抗化されている。

また、活性層28は、ノンドープのZnO薄膜で形成されているが、薄膜形成の際の酸素分圧を制御することにより薄膜中の酸素濃度を調整し、これによりn形伝導を有するよう形成されている。

そして、上記TFTも、上記第1及び第2の実施の形態と略同様、ECRスパッタリング
15 及びフォトリソグラフィ技術を使用して容易に製造することができる。

すなわち、ZnO基板を作製した後、極性を判別し、その後、ECRスパッタ装置を使用し、まず、GaをドープしたZnOをターゲット物質として反応性スパッタリングを行い、ZnO基板25の亜鉛極性面25a上にZnO膜(ZnO:Ga)を形成する。

そして、この後、該ZnO基板25をECRスパッタ装置から取り出し、フォトレジスト
20 を前記ZnO膜上に塗布した後、周知のフォトリソグラフィ技術によりレジスト膜をパターン化し、この後、NaOHなどのアルカリ溶液によりエッチング処理を施し、ゲート電極26を形成する。

次に、NiをドープしたZnOをターゲット物質として反応性スパッタリングを行い、
ZnO基板25上にゲート電極を覆うようにしてゲート絶縁層27を形成し、次いで、ノ
25 ンドープのZnOをターゲット物質として酸素分圧を制御しながら反応性スパッタリングを行い、活性層28を形成する。

次いで、NiをドープしたZnOをターゲット物質として反応性スパッタリングを行ってZnO膜(ZnO:

Ni膜)を形成した後、上述と同様、該ZnO膜にフォトレジストを塗布した後、フォ
30 リソグラフィ技術によりレジスト膜をパターン化し、この後NaOHなどのアルカリ溶液によりエッチング処理を施し、チャネル保護層29を形成する。

そしてこの後、GaをドープしたZnOをターゲット物質として反応性スパッタリングを行い、さらに、上述と同様、該ZnO:Ga膜にフォトレジストを塗布した後、フォ

リソグラフィ技術によりレジスト膜をパターン化し、この後、 NaOH などのアルカリ溶液によりエッチング処理を施してソース電極30及びドレイン電極31を形成する。

このように本第3の実施の形態では、TFTがZnO系の多層膜で形成されているので、活性層28に光が当たった場合でも導電性の変化を抑制することができる。

- 5 すなわち、従来のように活性層がアモルファスシリコン(a-Si)で形成されている場合はa-Siに光が照射されると導電性を有するようになるため、スイッチング素子の特性が劣化する虞があったのに対し、本第3の実施の形態では、活性層28が、バンドギャップが約3.3 eVと可視光に対して透過性を有するZnO薄膜で形成されているので、活性層28に光が照射された場合であっても導電性が変化するのを抑制することができ、
- 10 スwitching素子の特性劣化を防止することができる。

しかも、本TFTを光電変換素子又は第1の実施の形態で示したLEDの上部に一体的に形成することにより、光電変換素子への入射光量を増大させたり又は発光層からの発光量を増大させることができ、開口率を上げることができる。

尚、本発明は上記実施の形態に限定されるものではない。

- 15 上記実施の形態ではZnO系薄膜の形成を、ECRスパッタ法で行っているが、誘導結合形プラズマ(ICP)スパッタ法、ヘリコン波励起プラズマ(HWP)スパッタ法、イオンビームスパッタ法、又はクラスタービームスパッタ法等を使用してもよく、また、スパッタリング法以外の薄膜形成方法、例えば分子線エピタキシ(MBE)法、有機金属化学気相(MOCVD)法、レーザ分子線エピタキシ(レーザMBE)法、又はレーザアブレ
- 20 ーション法等を使用してZnO系薄膜を形成するようにしてもよい。

次に、本発明の実施例を具体的に説明する。

本発明者らは、ECRスパッタ装置を使用し、ZnO基板の亜鉛極性面にZnO薄膜を形成し、実施例の試験片を作製し、また、ZnO基板の酸素極性面にZnO薄膜を形成し、比較例の試験片を作製した。

- 25 すなわち、まず、プラズマ生成室と成膜室とに区分されたECRスパッタ装置を準備し、ZnO基板を成膜室の所定位置に配設すると共に、基板温度を620℃に加熱した。そして、スパッタガスとして20sccmのArガス、反応ガスとして10sccmのO₂ガスを夫々プラズマ生成室に供給してマイクロ放電してプラズマを発生させ、スパッタターゲットに150Wの高周波電界を印加し、反応性スパッタリング処理を行い、ZnO基板上の
- 30 亜鉛極性面又は酸素極性面に夫々ZnO薄膜を形成し、実施例及び比較例の試験片を作製した。

次に、本発明者らは、ZnO薄膜の表面形状を原子間顕微鏡で観察した。

第7図は実施例のZnO薄膜を示し、第8図は比較例であるZnO基板の酸素極性面上

に形成されたZnO薄膜を示している。

この第8図から明らかなように、比較例のZnO薄膜は島状になっており結晶粒界が存在していることが分かる。

これに対して第7図に示すように実施例のZnO薄膜の表面形状は平滑なテラスと略直線状のステップを有する薄膜が得られることが確認された。

すなわち、ZnO基板の亜鉛極性面に形成されたZnO薄膜は、ZnO基板の酸素極性面に形成されたZnO薄膜に比べて表面平滑性が大幅に優れていることが分かった。

次に、本発明者らは、ZnO薄膜の自乗平均面粗さRMSを算出し、表面ラフネスを評価した。

その結果、比較例のZnO薄膜は自乗平均面粗さRMSが20.4nmであったのに対し、実施例のZnO薄膜は自乗平均面粗さRMSが1.4nmであり、ZnO基板では亜鉛極性面上にZnO薄膜を形成することにより、酸素極性面上にZnO薄膜を形成した場合に比べ表面平滑性が大幅に向上することが分かった。

次に、本発明者らは、ホール測定を行い、電子の移動度を算出した。

すなわち、結晶性が良好であると電子が移動する際に結晶欠陥による散乱をうけないため移動度が大きくなるのに対し、結晶欠陥が存在すると電子が移動する際に散乱をうけるため移動度が小さくなる。

したがって、電子の移動度を算出することにより結晶性の良好性や電気特性を評価することができる。

そこで、本発明者らは、実施例及び比較例の各ZnO薄膜上に真空蒸着法でTi膜及びAu膜を順次積層して電極を形成し、ホール測定を行って電子の移動度を測定した。

その結果、電子の移動度は比較例では $20\text{ cm}^2/\text{V} \cdot \text{sec}$ であったのに対し、実施例は $300\text{ cm}^2/\text{V} \cdot \text{sec}$ と移動度が大きく、したがって実施例は比較例に比べて結晶性に優れ、電気特性が良好であることが確認された。

産業上の利用可能性

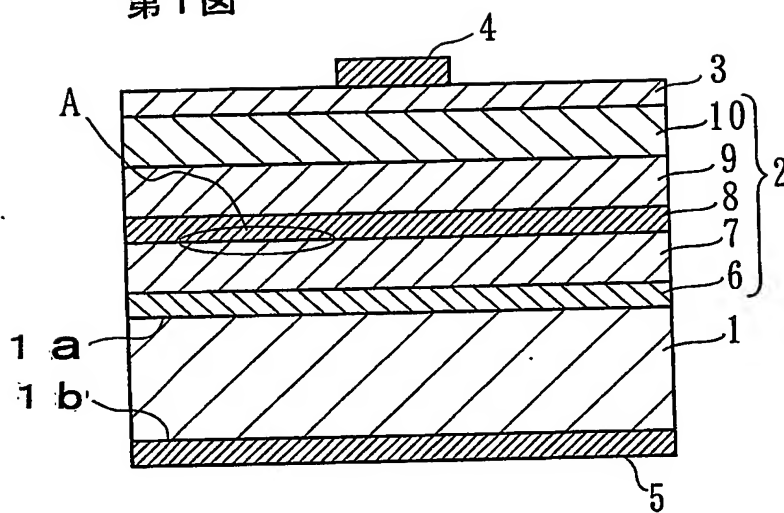
以上のように、本発明にかかる電子部品は映像機器の部品として使用され、特に映像機器で使用される光ピックアップの発光素子として使用されるのに適している。

請 求 の 範 囲

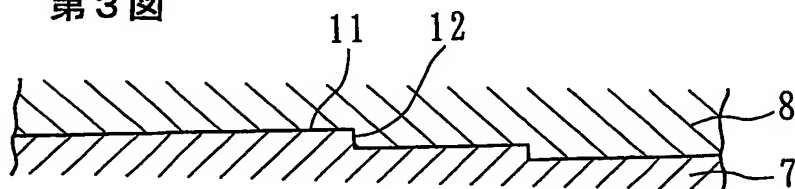
1. 亜鉛極性面と酸素極性面とを有する酸化亜鉛を主成分とする単結晶基板の前記亜鉛極性面上に酸化亜鉛を主成分とする少なくとも1層以上の薄膜が形成されていることを特徴とする半導体デバイス。
2. 前記薄膜は亜鉛極性を有していることを特徴とする請求項1記載の半導体デバイス。
3. 前記薄膜は多層膜からなり、該多層膜は発光層を形成していることを特徴とする請求項1又は請求項2記載の半導体デバイス。
4. 前記薄膜は多層膜からなり、該多層膜はスイッチング部を形成していることを特徴とする請求項1又は請求項2記載の半導体デバイス。
5. 酸化亜鉛を主成分とする単結晶基板の表面が亜鉛極性面又は酸素極性面のいずれであるかを判別し、酸化亜鉛を主成分とする少なくとも1層以上の薄膜を前記亜鉛極性面上に形成することを特徴とする半導体デバイスの製造方法。
6. 前記薄膜は亜鉛極性を有していることを特徴とする半導体デバイスの製造方法。
7. プラズマ生成室と成膜室とを備えたスパッタリング装置を設け、該スパッタリング装置を使用してスパッタリング処理を施し、前記薄膜を形成することを特徴とする請求項5又は請求項6記載の半導体デバイスの製造方法。
8. 前記スパッタリング処理は、電子サイクロトロン共鳴プラズマスパッタ法、誘導結合形プラズマスパッタ法、ヘリコン波励起プラズマスパッタ法、イオンビームスパッタ法、又はクラスタービームスパッタ法の中から選択されたいずれかの方法で行うことを特徴とする請求項7記載の半導体デバイスの製造方法。
9. 前記薄膜は、分子線エピタキシ法、有機金属化学気相法、レーザ分子線エピタキシ法、又はレーザアブレーション法の中から選択されたいずれかの方法で行うことを特徴とする請求項5又は請求項6記載の半導体デバイスの製造方法。

1 / 7

第1図

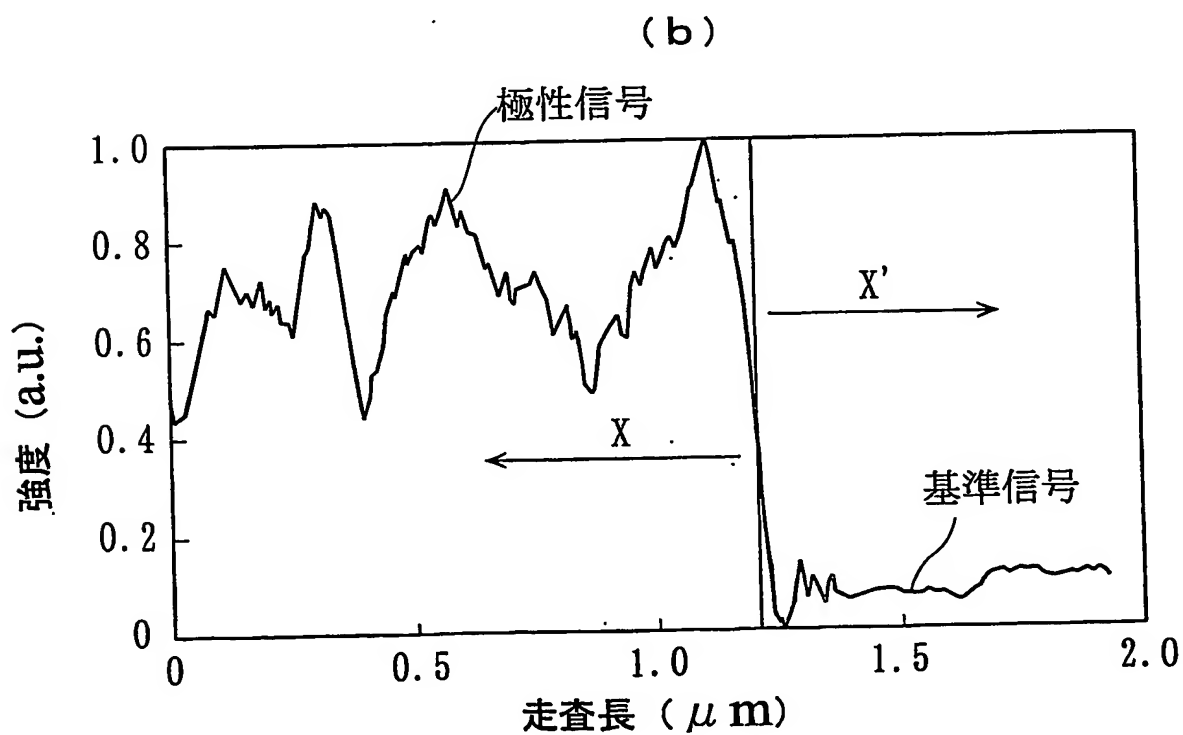
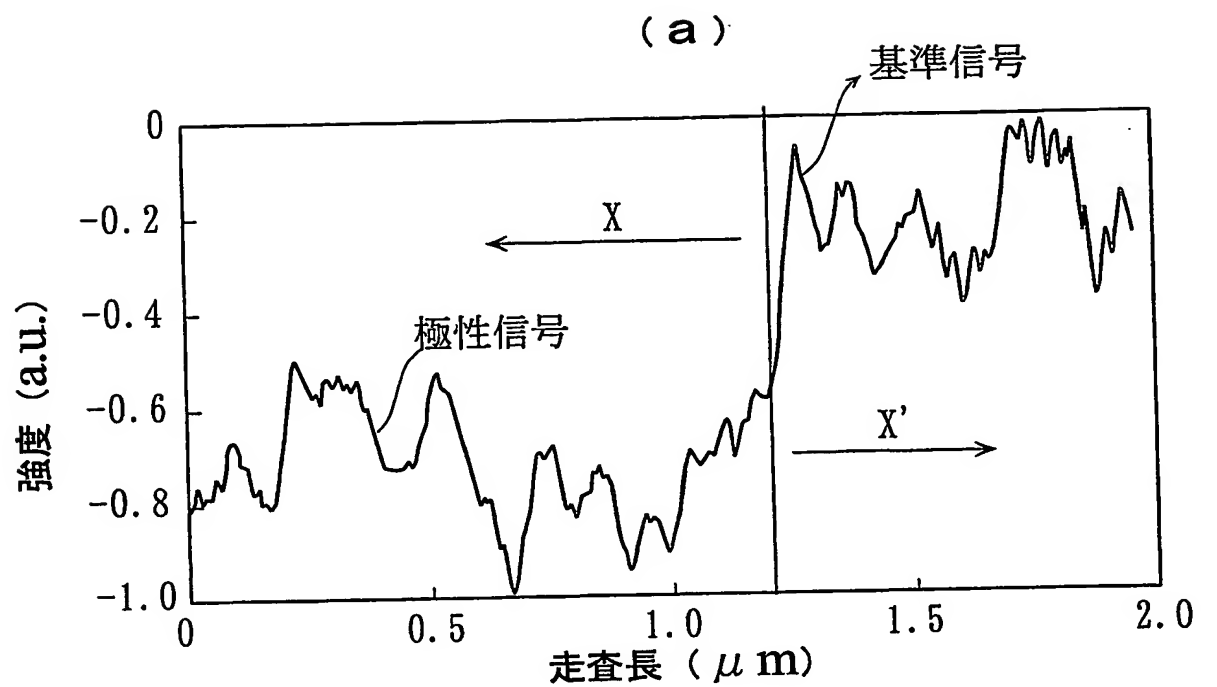


第3図



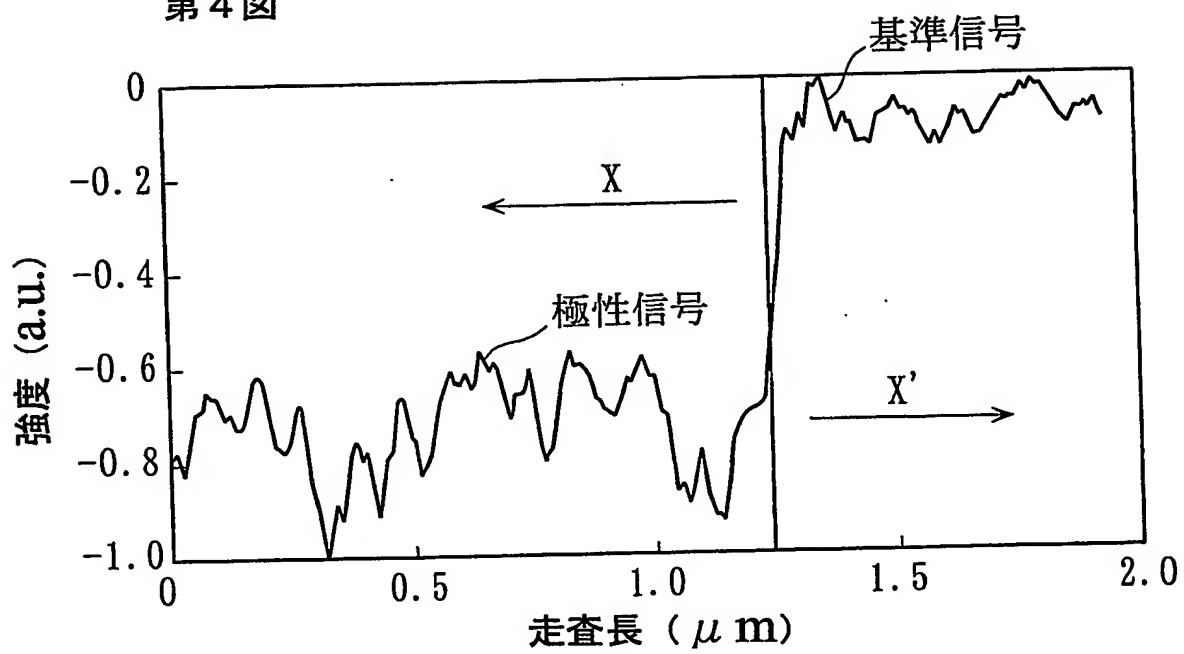
2/7

第2図

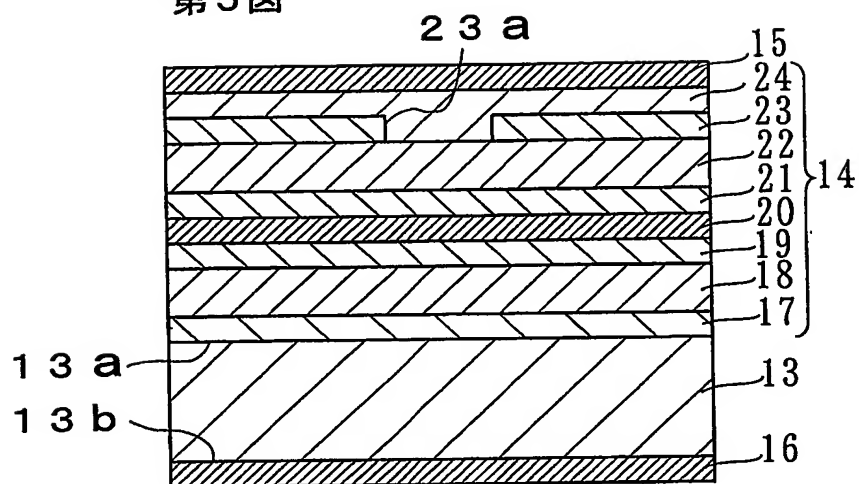


3 / 7

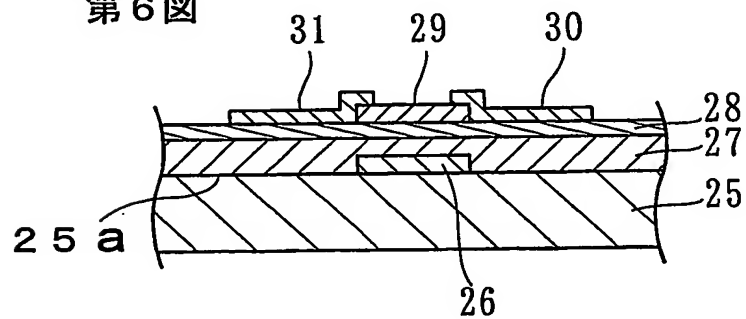
第4図



第5図

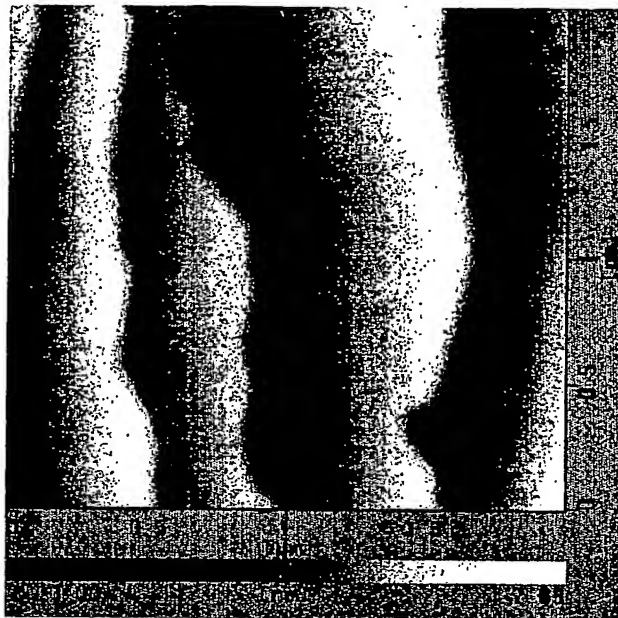


第6図



5/7

第7図



ファイル名 : zn_face.xpd

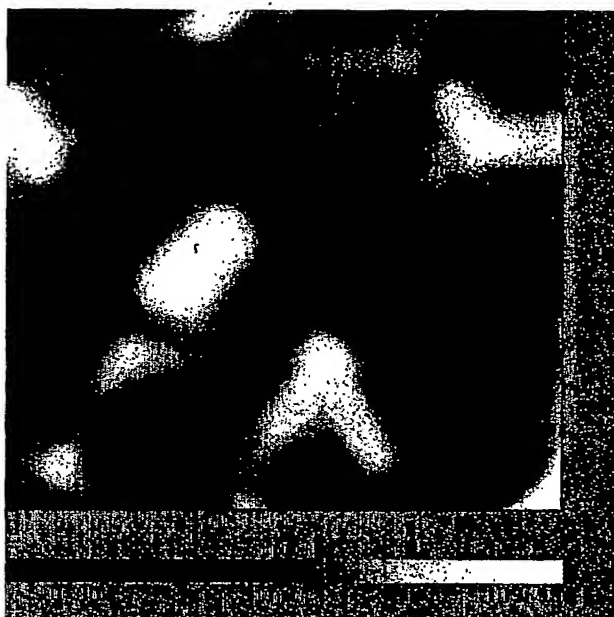
コメント1 : T_sub=620°C

コメント2 : Zn_Eagle Picher

コメント3 : RMS:1.36E00

6/7

第8図



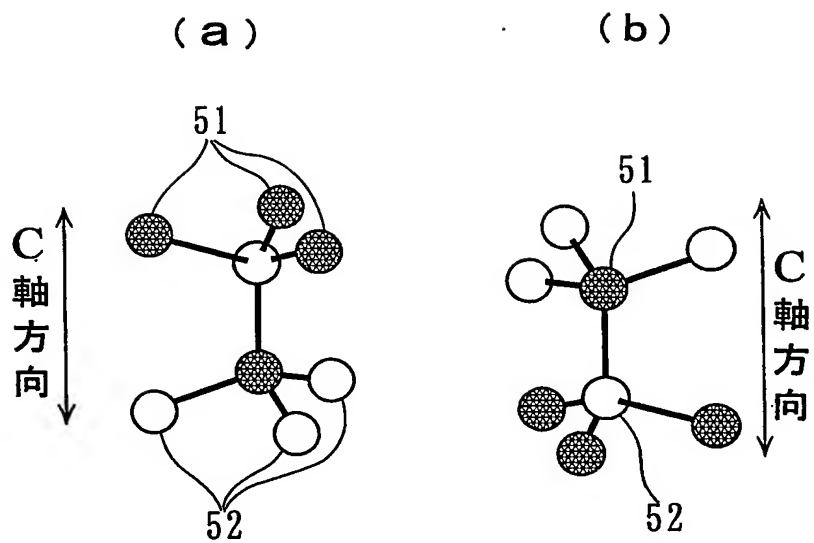
ファイル名 : o_face.xqd

コメント1 : T_{sub}=620°C

コメント2 : 0_Eagle Picher

コメント3 : RMS:2.04E01

第9図



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/07055

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L29/22, H01L33/00, H01L21/363, H01L21/365, C23C14/08

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L29/22-29/227, H01L33/00, H01L21/20-21/205, H01L21/363, H01L21/365, H01S5/327, C23C14/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1966-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
Web of Science

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X P, Y	JP 2002-326895 A (Stanley Electric Co., Ltd.), 12 November, 2002 (12.11.02), Par. Nos. [0042], [0063] (Family: none)	3, 5, 6, 9 4, 7, 8
Y	Yutaka OHYA et al., "Thin Film Transistor of ZnO Fabricated by Chemical Solution Deposition", Japanese Journal of Applied Physics, Vol.40, Part 1, No.1, January 2001, pages 297 to 298	4
Y	JP 2001-244464 A (Sanyo Electric Works, Ltd.), 07 September, 2001 (07.09.01), Full text; Figs. 1 to 6 (Family: none)	4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not
considered to be of particular relevance
"E" earlier document but published on or after the international filing
date
"L" document which may throw doubts on priority claim(s) or which is
cited to establish the publication date of another citation or other
special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other
means
"P" document published prior to the international filing date but later
than the priority date claimed

"T" later document published after the international filing date or
priority date and not in conflict with the application but cited to
understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be
considered novel or cannot be considered to involve an inventive
step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be
considered to involve an inventive step when the document is
combined with one or more other such documents, such
combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
20 August, 2003 (20.08.03).

Date of mailing of the international search report
02 September, 2003 (02.09.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/07055

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	EP 113481 A1 (JAPAN SCIENCE AND TECHNOLOGY CORP.), 19 September, 2001 (19.09.01), Full text; Figs. 1 to 9 & JP 2000-150900 A Full text; Figs. 1 to 9 & JP 2002-319682 A & KR 1089452 A & TW 468268 B & WO 00/30183 A1	4
Y	K. YAMAYA et al., "Use of a helicon-wave excited plasma for aluminum-doped ZnO Thin- film sputtering", Applies Physics Letters, Vol.72, No.2, 12 January, 1998 (12.01.98), pages 235 to 237	7,8
Y	JP 10-306372 A (Canon Inc.), 17 November, 1998 (17.11.98), Full text; Figs. 1 to 8 (Family: none)	7,8
Y	JP 5-171435 A (Nippon Telegraph And Telephone Corp.), 09 July, 1993 (09.07.93), Full text; Figs. 1 to 7 (Family: none)	7,8
A	S. K. HONG et al., "ZnO and Related Materials: Plasma-Assisted Molecular Beam Epitaxial Growth, Characterization, and Application", Journal of ELECTRONIC MATERIALS, Vol.30, No.6, 2001, pages 647 to 658	1-9
A	Shen Zhu et al., "Polarity effects of substrate surface in homoepitaxial ZnO film growth", Journal of Crystal Growth, Vol.219, 2000, pages 361 to 367	1-9

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/22, H01L33/00, H01L21/363, H01L21/365,
C23C14/08

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/22-29/227, H01L33/00, H01L21/20-21/205,
H01L21/363, H01L21/365, H01S5/327, C23C14/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1966-1996年
日本国公開実用新案公報 1971-2003年
日本国実用新案登録公報 1996-2003年
日本国登録実用新案公報 1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

Web of Science

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
PX PY	J P 2002-326895 A (スタンレー電気株式会社) 2002. 11. 12, 段落番号【0042】、【0063】 (ファミリーなし)	1-3, 5, 6, 9 4, 7, 8
Y	Yutaka OHYA et al., 'Thin Film Transistor of ZnO Fabricated by Chemical Solution Deposition', Japanese Journal of Applied Physics, Vol.40, Part 1, No.1, January 2001, p. 297-298	4

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

20. 08. 03

国際調査報告の発送日

02.09.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

淵 真悟



4 L

2933

電話番号 03-3581-1101 内線 3496

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2001-244464 A (株式会社三陽電機製作所) 2001. 09. 07, 全文, 第1-6図 (ファミリーなし)	4
Y	EP 113481 A1 (JAPAN SCIENCE AND TECHNOLOGY CORPORATION) 2001. 09. 19, 全文, 第1-9図 & JP 2000-150900 A, 全文, 第1-9図 & JP 2002-319682 A & KR 1089452 A & TW 468268 B & WO 00/30183 A1	4
Y	K. Yamaya et al., 'Use of a helicon-wave excited plasma for aluminum-doped ZnO Thin-film sputtering', Applied Physics Letters, Vol.72, No.2, 12 January 1998, p.235-237	7,8
Y	JP 10-306372 A (キヤノン株式会社) 1998. 11. 17, 全文, 第1-8図 (ファミリーなし)	7,8
Y	JP 5-171435 A (日本電信電話株式会社) 1993. 07. 09, 全文, 第1-7図 (ファミリーなし)	7,8
A	S. K. HONG et al., 'ZnO and Related Materials: Plasma- Assisted Molecular Beam Epitaxial Growth, Characterization, and Application', Journal of ELECTRONIC MATERIALS, Vol.30, No.6, 2001, p.647-658	1-9
A	Shen Zhu et al., 'Polarity effects of substrate surface in homoepitaxial ZnO film growth', Journal of Crystal Growth, Vol.219, 2000, p.361-367	1-9